

JA C177702
JUL 1990

(54) CONSTITUTION METHOD FOR MICROSTRIP LINE CIRCUIT

(11) 2-177702 (A) (43) 10.7.1990 (19) JP

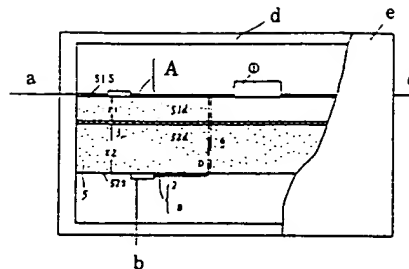
(21) Appl. No. 63-332398 (22) 28.12.1988

(71) FUJITSU LTD (72) ISAMU UNNO

(51) Int. Cl. H01P3/08, H01P5/08, H03F3/60

PURPOSE: To make the circuit small due to the increase in the mount density of each side by placing a line forming a matching circuit of a main high frequency circuit of a microwave active circuit or the like and a line forming a power supply circuit including a high frequency choke or the like and other control circuit to both sides of a dielectric board separately.

CONSTITUTION: A main high frequency circuit 1 made of a strip line to an outer face 51s of a dielectric layer 51d of one side of a grounding conductor pattern side 3 provided in the midway of a dielectric layer of a dielectric board 5 and a sub circuit 2 such as a power supply circuit or a bias circuit including a high frequency choke made of a strip line similarly provided to an outer side 52s of a dielectric layer 52d on the other side are arranged to two sides 51s, 52s of the dielectric layers 51d, 52d at both sides of the grounding conductor pattern side 3 separately. Thus, the mutual effect between the main high frequency circuit 1 and the sub circuit 2 is reduced by the dielectric board 5. Moreover, since the main high frequency circuit 1 and the sub circuit 2 are arranged separately on the two sides 51s, 52s of the board respectively, the mount density of the sides 51s, 52s of the board 5 is more improved.



J: amplifier element. A: low impedance line. D: choke. G: throughhole. B: high impedance line. a: microwave signal input. b: bias power input. c: microwave signal output. d: metallic case. e: cover

BEST AVAILABLE COPY

This Page Blank (uspto)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-177702

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)7月10日

H 01 P 3/08
5/08
H 03 F 3/60

L

8626-5 J
8626-5 J
7741-5 J

審査請求 未請求 請求項の数 2 (全7頁)

⑭ 発明の名称 マイクロストリップライン回路の構成方法

⑮ 特 願 昭63-332398

⑯ 出 願 昭63(1988)12月28日

⑰ 発 明 者 海 野 勇 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 井 桁 貞一

明細書

1. 発明の名称

マイクロストリップライン回路の構成方法

2. 特許請求の範囲

1. 誘電体基板(5)の厚さの中間に回路の接地面となる導体パターン面(3)と、該導体パターン面の両側の誘電体層(51d, 52d)の一方(51d)の外表面(51s)に増幅素子などを含むストリップ線路で形成される増幅器などの主高周波回路(1)と、該誘電体層の他方(52d)の外表面(52s)に該主高周波回路に対する高周波チョーク(D)を含む電源供給回路やバイアス回路等の副回路(2)とを設け、該主高周波回路(1)と該副回路(2)を該誘電体基板(5)の両面に分離したことを特徴とするマイクロストリップライン回路の構成方法。

2. 誘電体基板(5)の厚さの中間に設けられ回路の接地面となる導体パターン面(3)の両側の誘電体層(51d, 52d)の一方(51d)の厚さ(t_1)を薄くし他方(52d)の厚さ(t_2)を厚くし、該厚さを厚く

した誘電体層(52d)の外表面(52s)に電源供給回路等の比較的に高いインピーダンスの回路(B)を設け、厚さを薄くした誘電体層(51d)の外表面(51s)に比較的に低いインピーダンスの回路(A)を設け、該電源供給回路等の低いインピーダンスの回路(A)と高いインピーダンスの回路(B)を該誘電体基板(5)の両面に分離したことを特徴とするマイクロストリップライン回路の構成方法。

3. 発明の詳細な説明

(概要)

多重無線装置等に用いられる分布定数の混成集積回路MICの主な実現方法のマイクロ波ミリ波のマイクロストリップラインの構成方法に関し、

マイクロストリップライン回路の要求特性を損なうことなく、より一層の実装密度の向上による小形化の要求を満足する事を目的とし、

1) 誘電体基板の厚さの中間に回路の接地面となる導体パターン面と該導体パターン面の両側の誘電体層の一方の外表面に増幅素子等を含むストリップ

線路で形成される増幅器等の主高周波回路と該誘電体層の他方の外面に該主高周波回路に対する高周波チョークを含む電源供給回路やバイアス回路等の副回路を設け、該主高周波回路と該副回路の相互の影響を該誘電体基板の両面に分離する事により低減し両回路の実装密度を大にするように構成する。

2) 誘電体基板の厚さの中間に設けられ回路の接地面となる導体パターン面の両側の誘電体層の一方の厚さを薄くし他方の厚さを厚くし、厚さを厚くした誘電体層の外面に電源供給回路等の比較的に高いインピーダンスの回路を設け、厚さを薄くした誘電体層の外面に比較的に低いインピーダンスの回路を設け、低いインピーダンスの回路と高いインピーダンスの回路の相互の影響を誘電体基板の両面に分離する事により低減し該両面の回路の実装密度を大にするように構成する。

(産業上の利用分野)

本発明は地上通信や衛星通信の多重無線装置な

どに用いられている分布定数を用いたマイクロ波ミリ波の混成集積回路MICの主な実現方法であるマイクロストリップラインの構成方法に関する。

近年、上記用途の多重無線装置は、その小形化の要求により回路の集積度を上げる事が要求されている。このため、同軸回路、導波管回路に代ってマイクロストリップライン回路によりMIC化が進められているが、該回路の要求特性を損なうことなく、より一層の実装密度の向上による小形化の要求が生じている。

(従来の技術)

従来のマイクロストリップライン回路の構成は、第4図の構造図に示す如く、下面に接地用の導体パターンを設けたプリント板などの誘電体基板5Aの上面に増幅素子①や小形コンデンサ②(直流カット用、バイアス回路用)等の個別部品を実装するとともに、分布定数のストリップ線路の回路パターンにより主高周波回路の整合回路Cや電源供給回路の高周波チョークDを形成し、金属筐体⑦

にネジ⑥でネジ止めしている。そして金属のフタ⑥を該金属筐体⑦に被せてストリップライン回路の全体を遮蔽し外部からの悪い影響を防ぐ構成となっている。

(発明が解決しようとする課題)

上記の従来のマイクロストリップライン回路の構成方法は、(1) 誘電体基板5Aの上面の2つのストリップ線路の回路パターンが近接すると結合が生じるのでストリップライン回路の小形化に限界があり、特にストリップ線路が分布定数回路であるためその影響が大きい。(2) 実現できるストリップ線路の幅 w の細さに、エッチング方法などで、限界があるので、高インピーダンスのストリップライン回路が出来ない。(3) ストリップ線路で形成する電源供給回路の高周波チョークDや主高周波回路の整合回路Cなど全ての構成回路が誘電体基板5Aの同一面上に構成されるので、それらの回路の実装面を広くする必要があり、ストリップライン回路の一層の小形化ができず、又、ストリッ

プライン回路の金属筐体⑦の共振モードによる回路への悪影響がある等の不都合があった。

本発明は所謂マイクロ波より高周波の準マイクロ波乃至ミリ波で用いられるマイクロストリップライン回路の、より一層の高密度化による小形化及び高インピーダンス化を可能とし、より理想的な電源供給回路の高周波チョーク回路を形成できる様にする事を課題とする。

(課題を解決するための手段)

これらの課題は、第1図に示す如く、誘電体基板5の厚さ方向の中間部に回路の接地面となる導体パターン面3と、該導体パターン面3の両側の誘電体層の一方51dの外面51sにストリップ線路で構成する増幅器等の主高周波回路1と、他方52dの外面52sに高周波チョークを含む電源供給回路やバイアス回路等の副回路2を設け、主高周波回路1と副回路2の相互の影響を誘電体基板5の両面に分離する事により低減し、実装密度を増し小形化するようにした本発明の第1発明によって

解決される。

また、接地用導体パターン面3の両側の誘電体層の一方51dの厚さ t_1 を薄くし、他方52dの厚さ t_2 を厚くし、該厚さを薄くした誘電体層51dの外表面51sに電源供給回路等の比較的に低いインピーダンスの回路Aを設け、厚さを厚くした誘電体層52dの外表面52sに比較的に高いインピーダンスの回路Bを設け、電源供給回路等の高周波チョークのうち比較的に低いインピーダンスの回路Aと比較的に高いインピーダンスの回路Bとの相互の影響を誘電体基板5の両面に分離する事により低減し、両面51s,52sの回路の実装密度を増し小形化するようにした本発明の第2発明によって解決される。

本発明のマイクロストリップライン回路の構成方法を示す第1図の原理図において、

1は、誘電体基板5の誘電体層の厚さ方向の中間部に設けた接地用の導体パターン面3の両側の誘電体層の一方の外表面51sにストリップ線路で形成した増幅器等の主高周波回路である。

52dは、厚さの薄い誘電体層51dと反対側の厚さ t_2 の厚い誘電体層である。

〔作用〕

本発明の第1発明では、誘電体基板5の誘電体層の中間に設けた接地用の導体パターン面3の一方の側の誘電体層51dの外表面51sにストリップ線路で作った主高周波回路1と、他方の側の誘電体層52dの外表面52sに同様にストリップ線路で作った高周波チョークを含む電源供給回路やバイアス回路等の副回路2とが、前記接地用導体パターン面3の両側の誘電体層51d,52dの2つの面51s,52sに分離して配置されるので、主高周波回路1と副回路2の相互の影響が誘電体基板5により低減される。また、主高周波回路1と副回路2が夫々基板5の2つの片面51s,52sに分けて配置されるので、基板5の各面51s,52sの、より一層の実装密度の向上が可能となり、結果としてストリップライン回路全体が一層小形化されるので問題は解決される。

2は、主高周波回路1を形成した一方の誘電体層51dの面51sと反対側52dの面52sにストリップ線路で形成された高周波チョークを含む電源供給回路やバイアス回路等の副回路である。

3は、誘電体基板5の誘電体層の厚さ方向の中間部に設けた接地用の導体パターン面である。

5は、ストリップライン回路の誘電体基板であって、その一方の面51sにストリップ線路で形成した主高周波回路1を有し、他方の面52sに高周波チョークを含む電源供給回路やバイアス回路の副回路2を有し、その誘電体層の厚さの中間部に主高周波回路1と副回路2に対する共通の接地用の導体パターン面3を有する誘電体基板である。

51sは、誘電体基板5の接地用の導体パターン面3の一方の側の誘電体層51dの外表面、

52sは、誘電体層51dと反対側の誘電体層52dの外表面である。

51dは、誘電体基板5の中心部の接地用導体パターン面3の両側の誘電体層のうち、一方の厚さ t_1 の薄い誘電体層である。

そして本発明の第2発明では、誘電体基板5の誘電体層の中間の接地用導体パターン面3の両側の誘電体層51d,52dの厚さ t_1 、 t_2 を変え、そのうち、厚さの薄い一方の誘電体層51dの外表面51sに電源供給回路等の比較的に低いインピーダンスの回路Aを設け、厚さの厚い他方の誘電体層52dの外表面52sに高いインピーダンスの回路Bを設けるので、電源供給回路の低インピーダンス回路Aと高インピーダンス回路Bが、誘電体基板5の両面51s,52sに分離して配置されるので、相互の影響が低減され性能が向上する。また、回路A,Bが夫々一枚の誘電体基板5の2つの片面51s,52sに分けて実装されるので、各面51s,52sの夫々の実装密度が向上し、結果としてストリップライン回路全体も一層の小形化が可能となるので問題は解決される。

〔実施例〕

第2図は本発明の第1発明と第2発明に対する第1実施例のマイクロストリップライン回路の構

成方法を示す構造図であり、第3図は本発明の第2実施例の構成方法を示す構造図である。

第2図のAは、GaAs FETやバイポーラTrやダイオード等の半導体素子の増幅素子①やインピーダンス整合回路(c)や直流カット用超小形コンデンサ②を設けた誘電体基板⑤の一方の片面51sを上から見たパターン図である。増幅素子①の近くの端子(G)は、該基板5の誘電体層の両面及び中間の各パターンを適宜接続するためのスルーホールである。第2図のBは、誘電体基板⑤の両面51s, 52sと各部品①②②'及び中間の接地用導体パターン3の面(F)の断面図を示し、その接地用導体パターン3の面(F)は誘電体基板⑤の誘電体層の厚さの中間で、基板5の一方の片面51sに近く、他方の片面52sに遠い部分に設けられている。第2図のCは、主として増幅素子①への電源供給回路を実装する誘電体基板⑤の片面52sを見たパターン図を示し、前記第2図Aのスルーホール(G)が第2図Cの(G')の部分に接続されている。この時、基板5の厚さの中間の接地用導体パターン面

3の面(F)には接続されないように位置を避けている。第2図のDは、第2図Cの電源供給回路の分布定数回路の(G')部分の一部を拡大した図であって、第2図Aのスルーホール(G)は、第2図Bの接地用の導体パターン面(F)には接続されず、第2図Cの電源供給回路の(G')部分の一部のスルーホール端(G)に接続される。

第2図Dの拡大された電源供給回路の分布定数のストリップライン回路は、そのA面パターンの導体幅が大きいストリップ導体の分岐点からC面パターンの電源供給回路の低インピーダンスのストリップ導体(A)との接続点までの高インピーダンスのストリップ導体(B)の等価電気長 l_1 及びC面パターンの電源供給回路のストリップ導体(A)の電気長 l_2 を夫々 $\lambda/4$ (但し λ は使用周波数帯域の中心周波数の波長)に選ぶことにより、A面のストリップラインの増幅回路から外部の電源側への超高周波信号の漏出を防ぐ高周波チョークを形成している。又C面パターンの電源供給回路の低インピーダンスのストリップ導体(A)と高

インピーダンスのストリップ導体(B)も、第2図Cのバイアス用抵抗⑧、コンデンサ②'と共に、誘電体基板5の下面52sのC面に実装される事により、誘電体基板5の下面52sの実装効率が向上する。そのため、ストリップライン回路全体の小形化が計れ、該回路を収容する金属筐体⑦を小さくし該金属筐体⑦の幅を小さく出来るので、ストリップライン回路の金属筐体⑦による不要な導波管モードの共振が使用周波数帯域で起こらない様にする事も可能となる。

第2図の第1実施例では、整合回路(c)など比較的到低インピーダンスの回路が誘電体基板⑤の一方の片面51sのA面に形成され、高周波チョークなど高インピーダンスの回路が誘電体基板⑤の他方の片面52sのC面に分離して形成され、基板⑤の一方のA面と他方のC面の各面と中間の接地導体パターン面3のF面との間の一方の誘電体層51dと他方の誘電体層52dの厚み t_1 , t_2 を変えることにより、容易に所要のインピーダンスの各チョーク回路が構成可能のようにしてある。特に大電

流の高周波チョーク(A)は電流容量の点からはパターン幅を広くする必要があるが、高周波チョークとしては高インピーダンスが望ましく極力細い方が有利である。このため、本例の如く、パターン幅が同じなら高インピーダンスを得る為に、誘電体層52dの厚みを誘電体層51dよりも厚くする事により実現している。

第3図の第2実施例は、高周波チョークが低インピーダンスと高インピーダンスの両者からなる電源供給回路の高周波チョークの特性を改善する為、第2図の誘電体基板5の片面52sのC面パターンの低インピーダンスのストリップ導体(A)を別の片面51sのA面側に戻して実現した例であって、A面に高周波チョークの低インピーダンスのストリップ導体(A)を置き、C面に高インピーダンスのストリップ導体(B)を置くことにより、両者のインピーダンス差を大とする事が出来て、電源供給回路の高周波チョークの特性改善が出来る。

上記の第1実施例と第2実施例は共にマイクロストリップライン回路のマイクロ波増幅器につい

て説明したが、他の機能のマイクロ波能動回路にも適用可能な事は明らかである。

(発明の効果)

以上説明した如く、本発明によれば、マイクロストリップラインによるマイクロ波能動回路の主高周波回路の整合回路などを形成する線路と、高周波チョークなど電源供給回路やその他の制御回路の線路とを誘電体基板の両面に互に分離して置く事により各面の実装密度の増加による回路の小形化ができると共に、該誘電体基板の誘電体層の中間に設ける共通の接地用導体面の位置を必要に応じて一方の面に近く他方の面に遠く変化させ、誘電体基板の両面の線路のインピーダンスを高低に変化させる事により、マイクロストリップラインによるマイクロ波能動回路の電源供給回路の高周波チョークの漏洩阻止特性を高性能化できる効果が得られる。

第1図は本発明のマイクロストリップライン回路の構成方法を示す原理図、

第2図は本発明の第1実施例のマイクロストリップライン回路の構成方法を示す構造図、

第3図は本発明の第2実施例のマイクロストリップライン回路の構成方法を示す構造図、

第4図は従来のマイクロストリップライン回路の構造図である。

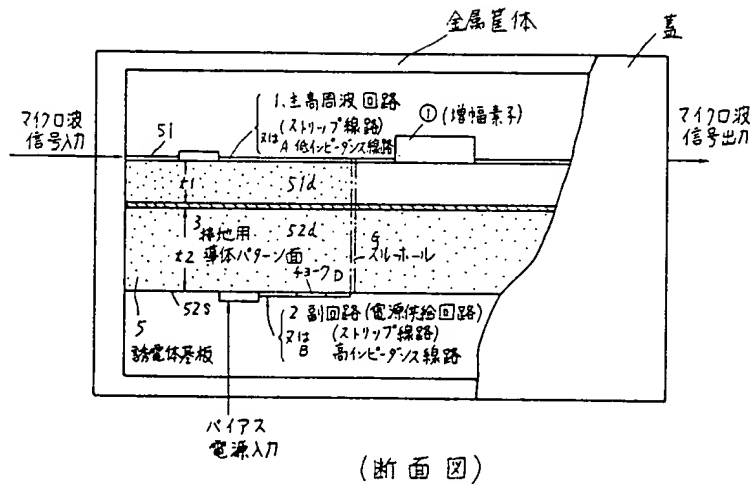
図において、

1は主高周波回路、2は副回路、3は接地用導体パターン面、5は誘電体基板、Aは低インピーダンス線路、Bは高インピーダンス線路である。

代理人 弁理士 井桁貞一

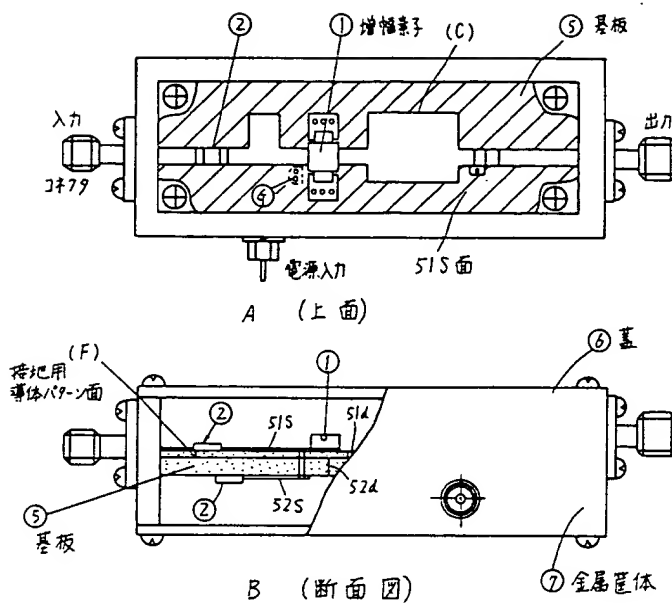


4. 図面の簡単な説明



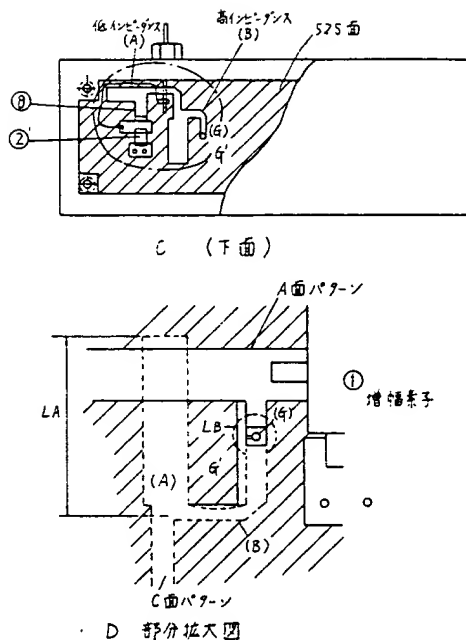
本発明のマイクロストリップライン回路の構成方法を示す原理図

第 1 図



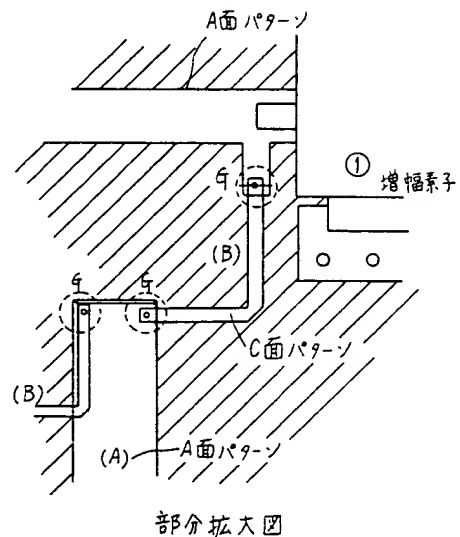
本発明の第1実施例のマイクロストリップライン回路の構成方法を示す構造図

第 2 図 (その 1)



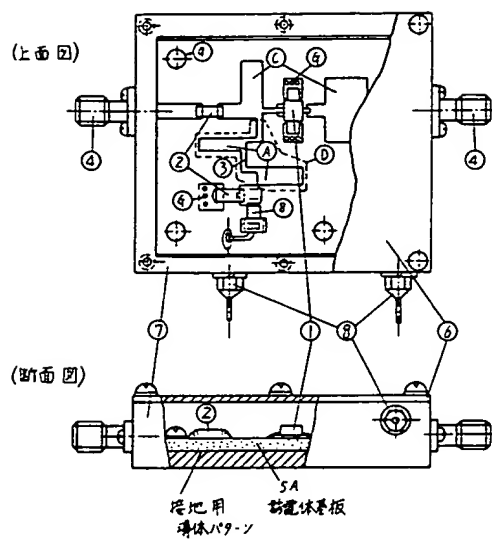
本発明の第1実施例のマイクロストリップライン回路の構成方法を示す構造図

第 2 図 (その 2)



本発明の第2実施例のマイクロストリップライン回路の構成方法を示す構造図

第 3 図



従来のマイクロストリップライン回路の構造図

第 4 図

This Page Blank (uspto)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)